

# DISPLAY PIXEL CIRCUIT

Publication number: JP2002341828 (A)

Publication date: 2002-11-29

Inventor(s): SAKURAI YOSUKE +

Applicant(s): TOSHIBA CORP +

Classification:

- International: H05B33/08; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H01L51/50; H05B33/14; H05B33/02; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H01L51/50; H05B33/14; (IPC1-7): G09G3/30; G09F9/30; G09G3/20; H05B33/08; H05B33/14

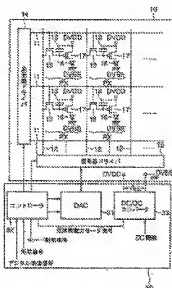
- European:

Application number: JP20010147958 20010517

Priority number(s): JP20010147958 20010517

Abstract of JP 2002341828 (A)

PROBLEM TO BE SOLVED: To adjust the luminance of a display image without practically reducing the number of gradations of the display image. SOLUTION: The display pixel circuit is provided with a first power supply terminal DVDD which is set to prescribed potential, a second power supply terminal DVSS which is set to potential that is lower than the prescribed potential, organic EL elements 16 which emit light with the luminance that depends on a driving current, driving transistors 17 which are serially connected to the elements 16 between the terminals DVDD and DVSS and driving control circuits which control the driving currents supplied by the transistors 17. Note that the driving control circuit includes a DC/DC converter which applies a power supply voltage that is adjusted to raise the potential of the terminal DVSS for a prescribed level in a low power consumption mode, between the terminals DVDD and DVSS and a gradation control circuit GC which voltage-divides the power supply voltage between the terminals DVDD and DVSS into the prescribed number of gradation voltages and outputs one of the power supply voltages as the gate voltage of the transistors 17.



Data supplied from the [espacenet](http://www.espacenet.com) database — Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-341828

(P2002-341828A)

(43) 公開日 平成14年11月29日 (2002.11.29)

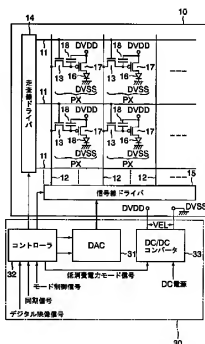
(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>7</sup> (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
	6 1 2		6 1 2 D
審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く			
(21) 出願番号	特願2001-147958(P2001-147958)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成13年5月17日 (2001.5.17)	(72) 発明者	櫻井 祥介 埼玉県深谷市橋本町一丁目9番地2 株式会社東芝深谷工場内
		(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)
		最終頁に続く	

## (54) 【発明の名称】 表示回路

## (57) 【要約】

【課題】表示画像の階調数を実質的に低下させずに表示画像の輝度を調整する。

【解決手段】表示回路は所定電位に設定される第1電源端子DVDDと、所定電位よりも低い電位に設定される第2電源端子DVSSと、駆動電流に依存した輝度で発光する有機EL素子16と、第1および第2電源端子DVDD、DVSS間で有機EL素子16と直列に接続される駆動トランジスタ17と、駆動トランジスタ17により供給される駆動電流を制御する駆動制御回路とを備える。特に、駆動制御回路は低消費電力モードで第2電源端子DVSSの電位を所定レベルだけ上昇させるよう調整される電源電圧を第1および第2電源端子DVDD、DVSS間に印加するDC/DCコンバータ、並びにこれら電源端子DVDD、DVSS間の電源電圧を所定数の階調電圧に分圧しこれら電源電圧の1つを駆動トランジスタ17のゲート電圧として出力する階調制御回路GCを含む。



【特許請求の範囲】

【請求項 1】 所定電位に設定される第 1 電源端子と、前記所定電位より低い電位に設定される第 2 電源端子と、駆動電流に依存した輝度で発光する発光素子と、前記第 1 および第 2 電源端子間で前記発光素子と直列に接続され前記発光素子に駆動電流を供給する駆動トランジスタと、前記駆動トランジスタにより前記発光素子に供給される駆動電流を制御する駆動制御回路とを備え、前記駆動制御回路は低消費電力モードで前記第 2 電源端子の電位を所定レベルだけ上昇させるように調整される電源電圧を前記第 1 および第 2 電源端子間に印加する電源部、並びに第 1 および第 2 電源端子間の電源電圧を所定数の階調電圧に分注しこれら電源電圧のうちの 1 つを前記駆動トランジスタのゲート電圧として出力する階調制御部を含むことを特徴とする表示画面回路。

【請求項 2】 前記駆動制御回路はさらに前記階調制御部および前記駆動トランジスタ間に接続され前記階調電圧を前記駆動トランジスタのゲートに選択的に印加する画素スイッチ、並びに前記画素スイッチを介して前記駆動トランジスタのゲートに印加される階調電圧を保持し前記画素スイッチが非導通状態にある間この階調電圧を前記駆動トランジスタのゲートに印加するキャパシタを含むことを特徴とする請求項 1 に記載の表示画面回路。

【請求項 3】 前記階調制御部は階調電圧の出力に先だって一時的に所定のリセット電圧を出力するよう構成され、前記駆動制御回路は前記画素スイッチおよび前記駆動トランジスタのゲート間に直列に接続されるキックキャパシタ、前記駆動トランジスタのゲートおよびドレイン間に接続されリセット電圧が画素スイッチを介して供給される間だけ導通するリセットスイッチ、および前記駆動トランジスタのドレインおよび前記発光素子間に接続され前記リセットスイッチが導通状態にある期間を除いて持続的に導通する出力スイッチにより構成される閾値キャンセル回路を含むことを特徴とする請求項 2 に記載の表示画面回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は例えば携帯用情報機器の表示装置に関し、特に有機 E L (Electro Luminescence) 素子のような発光素子を用いて表示装置の表示画素を構成する表示画面回路に関する。

【0002】

【従来の技術】近年では、有機 E L 表示装置が軽量、薄型、高輝度という特徴を持つことから携帯電話のような携帯用情報機器のモニタディスプレイとして注目されている。典型的な有機 E L 表示装置は、マトリクス状に配列される複数の表示画素により画像を表示するよう構成される。この有機 E L 表示装置では、複数の走査線がこれら表示画素の行に沿って配置され、複数の信号線がこれら表示画素の列に沿って配置され、複数の画素スイ

ッチがこれら走査線および信号線の交差位置近傍に配置される。各表示画素は有機 E L 素子、一対の電源端子間での有機 E L 素子に直列に接続される駆動トランジスタ、およびこの駆動トランジスタのゲート電圧を保持するキャパシタにより構成される。各画素スイッチは対応走査線から供給される走査信号に答じて導通し、対応信号線から供給される映像信号の階調電圧を駆動トランジスタのゲートに印加する。駆動トランジスタはこの階調電圧に応じた駆動電流を有機 E L 素子に供給する。

【0003】有機 E L 素子は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生じさせ、この励起子の失活時に生じる光放出により発光する。アノード電極は ITO 等で構成される透明電極であり、カソード電極はアルミニウム等の金属で構成される反射電極である。この構成により、有機 E L 素子は 10 V 以下の印加電圧で 100 ~ 1000000 c m / m<sup>2</sup> 程度の輝度を得ることができる。

【0004】ところで、携帯電話は一般に充電電池を電源として利用しているため、待ち受け状態で電力消費が一回の充電で利用可能な時間を大きく変化する要因となる。従って、待ち受け画像を表示するために全発光素子に流れる電流を一律に低下させることが好ましい。

【0005】

【発明が解決しようとする課題】しかしながら、例えば電源端子間の電圧を調整して全発光素子に流れる電流を一律に低下させようすると、表示画像の輝度が全体的に低下するだけでなく、画像の階調数も実質的に低下してしまうという問題があった。

【0006】本発明の目的は、表示画像の階調数を実質的に低下させることなく表示画像の輝度を調整することが可能な表示画面回路を提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、所定電位に設定される第 1 電源端子と、所定電位より低い電位に設定される第 2 電源端子と、駆動電流に依存した輝度で発光する発光素子と、第 1 および第 2 電源端子間で発光素子と直列に接続され発光素子に駆動電流を供給する駆動トランジスタと、駆動トランジスタにより発光素子に供給される駆動電流を制御する駆動制御回路とを備え、駆動制御回路は低消費電力モードで第 2 電源端子の電位を所定レベルだけ上昇させるように調整される電源電圧を第 1 および第 2 電源端子間に印加する電源部、並びに第 1 および第 2 電源端子間の電源電圧を所定数の階調電圧に分注しこれら電源電圧のうちの 1 つを駆動トランジスタのゲート電圧として出力する階調制御部を含む表示画面回路が提供される。この表示画面回路では、電源部が低消費電力モードで第 2 電源端子の電位を所定レベルだけ上昇させるように調整される電源電圧(第 1 お

よび第2電源端子間に印加する。低消費電力モードでは、第1および第2電源端子間の電位差が低減される、全発光素子の輝度がこの電位差の下で流れる駆動電流に依存して一律に低下することになる。この場合、駆動電流は第2電源端子の電位レベル付近で変化する階調電圧に対してはほとんど変化しない飽和状態となる。しかし、階調制御部は第1および第2電源端子間の電源電圧を所定数の階調電圧に分注しこれら電源電圧のうちの1つを駆動トランジスタのゲート電圧として出力するため、所定レベルを適切に設定することにより、所定数の階調電圧のいずれかを駆動トランジスタのゲートに出力されても、発光素子の駆動電流を非飽和領域で変化させることができる。従って、表示画像の階調数を実質的に低下させることなく表示画像の輝度を調整することが可能である。

【0008】

【発明の実施の形態】以下、本発明の一実施形態に係る有機EL表示装置について添付図面を参照して説明する。

【0009】図1はこの有機EL表示装置の構成を示す。有機EL表示装置は有機ELパネル10および有機ELパネル10を駆動する外部駆動回路30により構成される。

【0010】この有機ELパネル10は、ガラス板上において画像を表示するためにマトリクス状に配置される複数の表示画素PX、これら表示画素PXの行に沿って配置される複数の走査線11、これら表示画素PXの列に沿って配置される複数の信号線12、これら走査線11および信号線12の交差位置近傍に配置される複数の画素スイッチ13、複数の走査線11を駆動する走査線ドライバ14、および複数の信号線12を駆動する信号線ドライバ15を備える。各表示画素PXは有機EL素子16、一対の電源端子DVDD、DVSS間でこの有機EL素子16に直列に接続されたPチャネル薄層トランジスタである駆動トランジスタ17、およびこの駆動トランジスタ17のゲート電圧を保持するコンデンサ18により構成される。電源端子DVDDは例えば+15Vの所定電位に設定され、電源端子DVSSは所定電位より低い例えば0Vの電位に設定される。各画素スイッチ13は例えばNチャネル薄層トランジスタにより構成され、対応走査線11から供給される走査信号により駆動されたときに対応信号線12から供給される映像信号の階調電圧Vsigを駆動トランジスタ17のゲートに印加する。駆動トランジスタ17はこの階調電圧Vsigに応じた駆動電流Idを有機EL素子16に供給する。有機EL素子16は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生じさせ、この励起子の失活時に生じる光放出により発光する。

【0011】外部駆動回路30は有機ELパネル10の外部に配置されるプリント基板上に形成される。この外部駆動回路30は映像信号をデジタル形式からアナログ形式に変換して信号線ドライバ15に供給するDACコンバータ(DAC)31と、走査線ドライバ14、信号線ドライバ15、およびDAC31を制御するコントローラ32と、外部から供給される直流の電源電圧を画素電源電圧VELに変換するDC/DCコンバータ33とを備える。画素電源電圧VELは各表示画素PXを駆動させるために電源端子DVDD、DVSS間に印加される。コントローラ32は外部から供給されるデジタル映像信号および同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、水平走査タイミングを制御する水平走査制御信号、および水平および垂直走査タイミングに同期したDAC制御信号を同期信号に基づいて発生し、これら垂直走査制御信号、水平走査制御信号、およびDAC制御信号をそれぞれ走査線ドライバ14、信号線ドライバ15、およびDAC31に供給すると共に水平および垂直走査タイミングに同期してデジタル映像信号をDAC31に供給する。

【0012】DAC31はDAC制御信号の制御によりデジタル映像信号をアナログ形式に変換して信号線ドライバ15に供給する。信号線ドライバ15は水平走査制御信号の制御により各水平走査期間においてDAC31から順次得られるアナログ映像信号の階調電圧Vsigを複数の信号線12に並列的に供給する。走査線ドライバ14は垂直走査制御信号の制御により各垂直走査期間において順次複数の走査線11に走査信号を供給する。各行の画素スイッチ13はこれら走査線14のうちの対応する1本から共通に供給される走査信号により1水平走査期間だけ導通し、走査信号が再び1垂直走査期間後に供給されるまで非導通となる。1行分の駆動トランジスタ17はこれら画素スイッチ13の導通により複数の信号線12から供給される映像信号の階調電圧Vsigに対応した駆動電流Idを有機EL素子16にそれぞれ供給する。

【0013】また、コントローラ32は外部から供給されるモード制御信号の制御により低消費電力モード信号を発生してDC/DCコンバータ33に供給する。DC/DCコンバータ33はこの低消費電力モード信号により低消費電力モードに設定され、この低消費電力モードで電源端子DVSSの電位(=0V)を所定レベル(=+5V)だけ上昇させるように調整される画素電源電圧VELを電源端子DVDDおよびDVSS間に印加する電源部を構成する。

【0014】図2は電源端子DVSSの電位上昇に伴って変化する駆動トランジスタ17の出力特性を示す。図2において、ゲート電圧Vgsは端子DVSSの電位に等しいソース電位と階調電圧Vsigを印加したゲートの電位との電位差であり、駆動電流Idは駆動トランジスタ

17から有機EL素子16に流れるドレイン電流である。電源端子DVSSの電位が上昇すると、特性曲線が図2において矢印で示すようにシフトする。このシフトにより、駆動電流 $I_d$ は電源端子DVSSの電位付近で変化する駆動トランジスタ17のゲート電圧 $V_{gs}$ に対してほとんど変化しない飽和状態となる。すなわち、階調電圧 $V_{sig}$ が最大値に近づくとき、有機EL素子16の輝度がこの階調電圧 $V_{sig}$ の変化に対してほとんど変化しなくなり、実質的に電圧を低下させる結果となる。

【0015】図3は様々な画素電源電圧 $V_{EL}$ に対する駆動トランジスタ17の出力特性を示す。図3の(a)に示すように電源電圧 $V_{EL}=10.0V$ である場合、駆動電流 $I_d$ はゲート電圧 $V_{gs}$ が $-10.0V$ 以下に低下することにより飽和する。図3の(b)に示すように電源電圧 $V_{EL}=12.5V$ である場合および図3の(c)に示すように電源電圧 $V_{EL}=15.0V$ の場合には、駆動電流 $I_d$ はゲート電圧 $V_{gs}$ の低下により飽和しない。すなわち、低消費電力モードで電源端子DVSSの電位を5V以上上昇させると、駆動電流 $I_d$ の飽和を遅らせることができる。ここで、図3の(a)を再度参照すると、駆動電流 $I_d$ はゲート電圧 $V_{gs}$ が $-10V \sim 0V$ の範囲で飽和しないことがわかる。すなわち、ゲート電圧 $V_{gs}$ が図4に示す利用範囲で変化するようには階調電圧の範囲を制限すれば、有機EL素子16の輝度がこの階調電圧の変化に依存しなくなる。

【0016】このため、DAC31は図5に示すように電源端子DVDDおよびDVSS間の画素電源電圧を所定数の階調電圧に分圧する分圧回路DVおよびデジタル映像信号に対応してこれら所定数の階調電圧のうちの1つを選択してこれを駆動トランジスタ17のゲート電圧として出力するスイッチ回路SCで構成される階調制御回路GCを含む。分圧回路DVは階調電圧数に対応して直列に接続される抵抗値の異なる回路とされ、これら抵抗間のノード電位 $V_{ref1}, V_{ref2}, V_{ref3} \dots V_{ref(n)}$ を階調電圧 $V_{sig}$ として出力する。この階調電圧 $V_{sig}$ は信号線ドライバ15、対応信号線12、および対応画素スイッチ13を介して対応駆動トランジスタ17に供給される。

【0017】低消費電力モードでDC/DCコンバータ33が電源電圧 $V_{EL}$ を調整すると、電源端子DVDDの電位が電源端子DVDDの電位が $+15V$ に維持され、電源端子DVSSの電位が $0V$ から $+5V$ に上昇する。分圧回路DVは電源端子DVDDおよびDVSS間の電源電圧を所定数の階調電圧に分圧する構成であるため、この分圧回路DVから得られる階調電圧 $V_{sig}$ の範囲も $+5V$ から $+15V$ までレベル範囲に制限されることになり、駆動電流 $I_d$ を飽和させずに制御することが可能になる。

【0018】上述した実施形態の有機EL表示装置では、DC/DCコンバータ33が低消費電力モードで電

源端子DVSSの電位を所定レベルだけ上昇させることにより電源端子DVDDおよびDVSS間の電位差を低減し、この電位差の下で流れる駆動電流 $I_d$ に依存して得られる全有機EL素子16の輝度を一律に低下させることができる。従って、携帯電話において待ち受け画像を表示するために消費される電力を低減できる。また、この構成では、所定レベルが有機EL素子16の駆動電流 $I_d$ の飽和領域に対応して5Vに設定され、分圧回路DVが電源端子DVDDおよびDVSS間の電源電圧 $V_{EL}$ を所定数の階調電圧に分圧するため、電源端子DVSSの電位変化がこれら階調電圧に反映される。これら階調電圧の範囲は駆動電流 $I_d$ の非飽和領域に対応するため、いずれの階調電圧が駆動トランジスタ17のゲートに出力されても、駆動電流 $I_d$ を飽和させることがなく、有機EL素子16の輝度を確実に変化させることができる。従って、表示画像の階調数を実質的に低下させることなく表示画像の輝度を一律に低下させることが可能である。

【0019】図6は図1に示す各表示画素PXの変形例を示す。この変形例では、信号線ドライバ15が階調電圧 $V_{sig}$ の出力に先だって一時的に所定のリセット電圧 $V_{ref}$ を出力するよう構成され、表示画素PXが画素スイッチ13および駆動トランジスタ17のゲート間に直列に接続されるキックキャパシタ20、駆動トランジスタ17のゲートおよびドレイン間に接続されるリセットスイッチ21、および駆動トランジスタ17のドレインおよび有機EL素子16間に接続される出力スイッチ22で構成される閾値キャンセル回路を含む。リセットスイッチ21および出力スイッチ22は例えばPチャネル薄膜トランジスタで構成され、それぞれコントロール2からの制御信号 $SW1, SW2$ により制御される。この制御により、リセットスイッチ21はリセット電圧が画素スイッチ13を介して供給される間だけ導通し、出力スイッチ22はリセットスイッチ21が導通状態にある期間を除いて持続的に導通する。

【0020】この変形例では、リセット電圧 $V_{reset}$ が画素スイッチ13を介して供給されると、リセットスイッチ21が導通し出力スイッチ22が非導通となる。これにより、ゲート電圧 $V_{gs}$ が駆動トランジスタ17のスレッショルド電圧 $V_{th}$ に等しくなるまで経路PT1を介して流れる電流により駆動トランジスタ17のゲートおよびキックキャパシタ20間のノード電位が上昇する。階調電圧 $V_{sig}$ がリセット電圧 $V_{reset}$ に続いて供給されると、リセットスイッチ21が非導通となり出力スイッチ22が導通する。これにより、駆動トランジスタ17のゲートおよびキックキャパシタ20間のノード電位がスレッショルド電圧 $V_{th}$ を階調電圧 $V_{sig}$ に加えたレベルとなり、駆動電流が経路PT2を介して流れる。ここで、駆動電流 $I_d$ はリセット電圧 $V_{reset}$ と階調電圧 $V_{sig}$ との電位差により決定されることになり、駆動トラン

ジスタ17のスレッシュホルド電圧 $V_{th}$ にバラツキがあっても、駆動電流 $I_d$ が変動しなくなる。

【0021】この閾値キャンセル回路は一般に知られ、駆動トランジスタ17のスレッシュホルド電圧 $V_{th}$ の影響を回避できる。上述の実施形態は低消費電力モードで電源端子DVSSの電位を上昇させる一方で階調電圧 $V_{siq}$ の範囲を制限することで輝度を制御する構成であるが、この構成は閾値キャンセル回路と共存できる点で極めて有用である。

【0022】

【発明の効果】本発明によれば、表示画像の階調数を実質的に低下させることなく表示画像の輝度を調整することが可能な表示画素回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る有機EL表示装置の構成を示す回路図である。

【図2】図1に示す低電位側電源端子の電位上昇に伴って変化する駆動トランジスタの出力特性を示す特性図である。

【図3】図1に示す駆動トランジスタの出力特性を様々

※な画素電源電圧に対して示す特性図である。

【図4】図1に示す駆動トランジスタの駆動電流を飽和させないゲート電圧 $V_{gs}$ の利用範囲を示す特性図である。

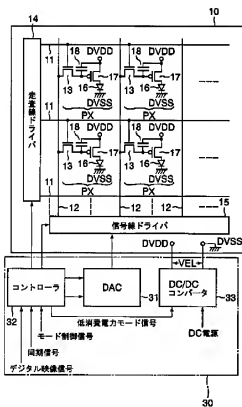
【図5】図1に示すDACに組み込まれた階調制御回路の構成を示す回路図である。

【図6】図1に示す各表示画素PXの変形例を示す回路図である。

【符号の説明】

- 10 13…画素スイッチ
- 14 …走査線ドライバ
- 15 …信号線ドライバ
- 16 …有機EL素子
- 17 …駆動トランジスタ
- 18 …キャパシタ
- 31 …DAC
- 32 …コントローラ
- 33 …DC/DCコンバータ
- GC…階調制御回路
- PX…表示画素

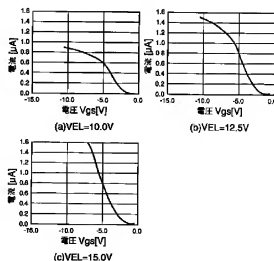
【図1】



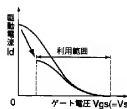
【図2】



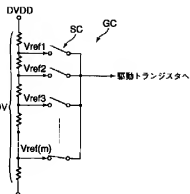
【図3】



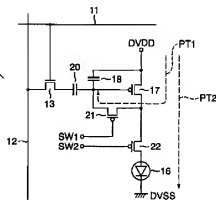
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.	識別記号	F I	テーマコード (参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 1 2 F
H 0 5 B 33/08		H 0 5 B 33/08	6 2 4 B
33/14		33/14	A

F ターム (参考) 3K007 AB02 AB04 AB05 AB06 BA06  
 CA01 CB01 DA00 DB03 EB00  
 FA01 GA04  
 5C080 AA06 BB05 DD26 EE29 FF11  
 JJ02 JJ03 JJ05 KK07  
 5C094 AA07 AA22 BA03 BA27 CA19  
 CA25 EA04 EA07